

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-058736

(43)Date of publication of application : 03.03.1995

(51)Int.Cl. H04L 7/033
G11B 20/14
H03L 7/08

(21)Application number : 05-206248

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 20.08.1993

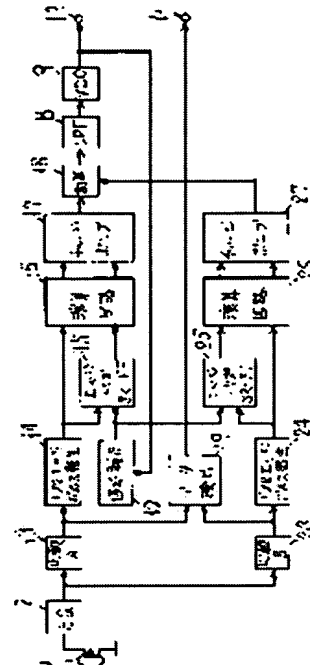
(72)Inventor : HASHIMOTO SEIICHI
SHIMOTASHIRO MASAFUMI

(54) TIMING REGENERATING DEVICE

(57)Abstract:

PURPOSE: To provide a device which is not affected by a data pattern and generates a stable clock even for a differentiation detection signal and suits to IC-implementation as to a timing regenerating device which detects a bit phase from a digital regenerated signal.

CONSTITUTION: A phase comparator as a constituent element of the timing regenerating device consists of a T/2 edge pulse generating circuit 14 (24), an edge trigger RS-FF 15 (25), and an arithmetic circuit 16 (26) and generates an error signal corresponding to time differences only between respective edges of input data and edges of a clock generated by a voltage-controlled oscillator 9. For a signal as an object of PR(1, 0, -1) detection, two comparing circuits 13 and 23 detect edge data and compare their phases with a clock separately and an adding circuit 18 adds the phase errors, so that the accurate clock is generated without being affected by the data pattern.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-58736

(43)公開日 平成7年(1995)3月3日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 4 L 7/033				
G 1 1 B 20/14	3 5 1 A	8322-5D		
H 0 3 L 7/08				
		7741-5K	H 0 4 L 7/ 02	B
		9182-5J	H 0 3 L 7/ 08	M
			審査請求 未請求	請求項の数 4 O L (全 9 頁)

(21)出願番号 特願平5-206248

(22)出願日 平成5年(1993)8月20日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 橋本 清一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 下田代 雅文

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

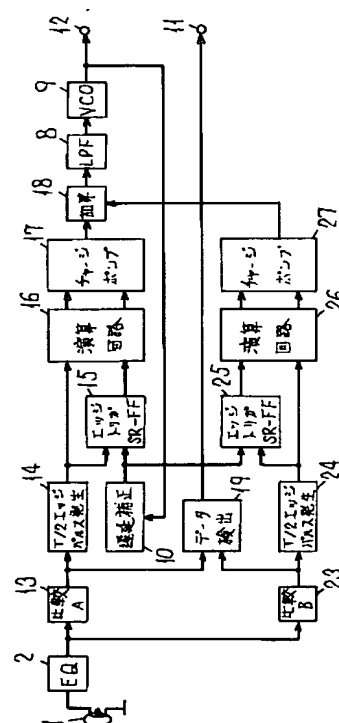
(74)代理人 弁理士 小鍛冶 明 (外2名)

(54)【発明の名称】 タイミング再生装置

(57)【要約】

【目的】 デジタル再生信号からビット位相を検出するタイミング再生装置に関するもので、データパターンに影響されず、微分検出信号に対しても安定なクロックを発生させる、IC化に適した装置を提供する。

【構成】 タイミング再生装置の構成要素である位相比較器は、T/2エッジパルス発生回路14(24)とエッジトリガRS-FF15(25)と演算回路16(26)で構成され、入力データの各エッジと電圧制御発振器9で発生したクロックのエッジ間のみその時間差に応じた誤差信号を発生する。PR(1, 0, -1)検出を前提にした信号の場合、2つの比較回路13, 23でデータエッジを検出し、それぞれ別々にクロックと位相比較し、加算回路18で位相誤差を加算する構成で、データパターンに影響されず、正確なクロックを発生させるものである。



【特許請求の範囲】

【請求項 1】 クロック周期をほぼ T とする入力データ信号の入力手段と、
前記入力データ信号に同期させるクロックを発生する電圧制御発振手段と、
前記入力データ信号の変化点を前エッジとし幅 $T/2$ のパルスを得る $T/2$ エッジパルス発生手段と、
前記入力データ信号の変化点をセット信号とし、前記電圧制御発振手段出力の一方の変化点をリセット信号とする SR フリップフロップ手段と、
上記 $T/2$ エッジパルス発生手段出力信号と前記 SR フリップフロップ手段出力信号を演算して、前記 $T/2$ エッジパルス発生手段出力信号の後エッジと上記電圧制御発振手段出力の一方の変化点の位相差に応じた信号を出力する演算手段と、
前記演算手段の出力から不要成分を除去し、その出力で前記電圧制御発振手段の発振周波数と位相を制御するローパスフィルタ手段と、から構成されたことを特徴とするタイミング再生装置。

【請求項 2】 映像信号、音声信号をデジタル信号に変換して、記録再生するデジタル磁気記録再生装置の、磁気記録媒体から再生されたクロック周期をほぼ T とするデータ信号を 3 値検出を前提としたパーシャルレスポンス波形にイコライズするイコライザ手段と、
前記データ信号に同期させるクロックを発生する電圧制御発振手段と、
前記イコライザ手段出力を識別する第 1、第 2 の比較手段と、
前記第 1、第 2 の比較手段の出力のそれぞれの変化点を前エッジとし幅 $T/2$ のパルスを得る第 1、第 2 の $T/2$ エッジパルス発生手段と、
前記第 1、第 2 の比較手段の出力のそれぞれの変化点をセット信号とし、上記電圧制御発振手段出力の一方の変化点をリセット信号とする第 1、第 2 の SR フリップフロップ手段と、
上記第 1、第 2 の $T/2$ エッジパルス発生手段出力信号と前記第 1、第 2 の SR フリップフロップ手段出力信号を演算して、 $T/2$ エッジパルス発生手段出力信号の後エッジと上記電圧制御発振手段出力信号の一方の変化点の位相差に応じた電圧を出力する第 1、第 2 の演算手段と、
前記第 1、第 2 の演算手段の出力を加算する加算手段と、
前記加算手段の出力から不要成分を除去し、その出力で前記電圧制御発振手段の発振周波数と位相を制御するローパスフィルタ手段と、から構成されたことを特徴とするタイミング再生装置。

【請求項 3】 電圧制御発振手段出力を遅延して SR フリップフロップのリセット信号とする遅延手段を設けることにより、 $T/2$ エッジパルス幅の変動を補償するこ

とを特徴とする請求項 1 または 2 に記載のタイミング再生装置。

【請求項 4】 $T/2$ エッジパルス発生手段は、イコライザ手段出力を $T/2$ 時間遅延する第 1 のアナログ遅延器と、前記第 1 のアナログ遅延器の入力信号を 3 値検出する第 1、第 2 の比較手段と、前記第 1 のアナログ遅延器の出力信号を 3 値検出する第 3、第 4 の比較手段と、前記第 1、第 3 の比較手段の出力の排他的論理和をとる第 1 の排他的論理和手段と、前記第 2、第 4 の比較手段の出力の排他的論理和をとる第 2 の排他的論理和手段とで構成し、
クロック出力のタイミングが前記第 1 のアナログ遅延器の入力信号と前記第 1 のアナログ遅延器の出力信号を更に $T/2$ 時間遅延する第 2 のアナログ遅延手段出力の加算信号から得られるデータ出力に対し一致させることを特徴とする請求項 3 に記載のタイミング再生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、映像信号、音声信号をデジタル信号に変換して、記録再生するデジタル磁気記録再生装置の、磁気記録媒体から再生された信号からビット位相を検出するタイミング再生装置に関するものである。

【0002】

【従来の技術】従来、デジタル磁気記録再生装置では、磁気記録媒体から磁気ヘッドを介して再生された信号をイコライザ（以下、 EQ と称す）回路に入力し、記録再生で劣化した周波数特性を補正する。

【0003】ここで、前記した周波数特性補正は記録するデジタル信号ごとに異なる。例えば、 $D1$ デジタル VTR ではスクランブルド $-NRZ$ 符号（以下 $S-NRZ$ とする）が用いられている。

【0004】 $S-NRZ$ の場合は、 EQ 回路で、前記再生信号をロールオフ率 $0.3 \sim 1$ のナイキスト特性に補正し 2 値アイパターンを出力し、比較回路で 2 値アイパターンを識別することで再生デジタル信号を検出する。ここで、 EQ 回路は積分回路とトランスバーサルフィルタで構成される（積分検出）。

【0005】ところで、近年、高密度デジタル記録を達成するため、隣接トラックから再生されるクロストーク信号妨害を受けにくい、インターリーブド $-NRZI$ 符号（以下、 $I-NRZI$ と称す）が注目を集めている。

【0006】 $I-NRZI$ の場合、 EQ 回路では、 $PR(1, 0, -1)$ に周波数補正され、3 値アイパターンを出力し、2 つの比較回路で 3 値アイパターンを識別することで再生デジタル信号を検出する。この場合、 EQ 回路は積分特性を含まず、磁気記録系の微分特性を積極的に利用する。

【0007】次に、これら再生デジタル信号からビッ

ト位相を示す再生クロック（以下、単にクロックとする）を発生させるためタイミング再生装置が使用される。

【0008】以上説明した技術内容は、例えば、日刊工業新聞社出版の「デジタルビデオ記録技術」江藤 良純他著、に詳述されている。

【0009】従来のタイミング再生装置の要部ブロック図を図7に示す。磁気ヘッド1を介して再生されたデジタル信号は、EQ回路2でもって、記録再生で劣化した周波数特性が補正され、3値検出を前提としたパシヤルレスポンス波形（特に、ここでは、I-NRZ-I変調と共に使用されるPR(1, 0, -1)検出について説明する）にイコライズされて、比較A, B回路13, 23に出力される。ここでは、PR(1, 0, -1)を前提としているため、比較A, B回路13, 23の出力をEX-OR回路（排他的論理和回路）43でEX-OR（排他的論理和）をとることで、2値データに変換できる。また、タイミング再生装置44は、タンク回路45、乗算回路46、ローパスフィルタ（以下、LPFと称す）8、電圧制御発振回路（以下、VCOと称す）9から構成され、2値データからクロック成分を抜き出し、再生信号に位相ロックさせることでビットタイミングを発生させる構成となっている（例えば、金子尚司著「PCM通信の技術」産報出版）。

【0010】

【発明が解決しようとする課題】タイミング再生装置をICで実現する場合、図7に示すように、位相比較器、LPF、VCOで構成されるPLL回路が適している。

【0011】位相比較回路としては、図7に示す乗算回路タイプよりもエッジ比較タイプのものの方が引き込み範囲、ロック位相の安定性の面から有利である。なぜなら、アナログ乗算器やEX-OR回路を用いるものでは位相比較特性は三角波比較特性をもち、直線区間はエッジ比較タイプのものの半分である。さらに、位相比較出力は基準電圧比較することになるので、基準電圧の変動や入力データの周波数が変化した場合、ロック位相が変化するという欠点がある。

【0012】図8はエッジ比較の位相比較器として広く使用されている従来の位相比較器を示す。

【0013】しかしながら、このタイプの位相比較器は位相差のみならず、周波数も検出するので、エッジに欠落があるデータ信号には単独では使用できず、エッジの欠落を補うタンク回路や置換回路を必要とする。しかも、タンク回路を用いる方法では、信号エッジの欠落が長く続くと、入力周波数の変動、タンク回路の共振周波数のばらつき、温度特性により、位相ずれが発生する。

【0014】本発明はかかる点に鑑みてなされたもので、簡単な構成で、2値検出、3値検出、または微分検出、積分検出それぞれの場合に対して、データパターンに関わらず、データの各エッジと最も近いクロックのエ

ッジとの間の時間差に応じた誤差信号を発生してクロック周波数、位相を制御し、エッジがない部分ではクロック位相を保持するタイミング再生装置を提供することを目的としている。

【0015】

【課題を解決するための手段】上記目的を達成するために、本発明のタイミング再生装置は、クロック周期をほぼTとする入力データ信号の入力手段と、前記入力データ信号に同期したクロックを発生する電圧制御発振手段と、前記入力データ信号の変化点を前エッジとし幅T/2のパルスを得るT/2エッジパルス発生手段と、前記入力データ信号の変化点をセット信号とし、電圧制御発振手段出力の一方の変化点をリセット信号とするSRフリップフロップ手段と、上記T/2エッジパルス発生手段出力信号と前記SRフリップフロップ手段出力信号を演算する演算手段と、前記演算手段の出力から不要成分を除去し、その出力で前記電圧制御発振手段の発振周波数と位相を制御するローパスフィルタ手段とを備えたものである。

【0016】

【作用】上記の構成により、本発明のタイミング再生装置は、T/2エッジパルス発生手段出力信号とSRフリップフロップ手段出力信号を演算手段で演算して、T/2エッジパルス発生手段出力信号の後エッジと上記電圧制御発振手段出力の一方の変化点の間にだけ位相差に応じた信号を出力する構成となっている。

【0017】また、3値検出を前提としたパシヤルレスポンス波形に対しては、2つの比較手段出力に対し、それぞれT/2エッジパルス発生手段、SRフリップフロップ手段、演算手段を設け、2つの演算手段出力を加算し平均化することで、3値アイパターンの性質、即ち、上側と下側のアイパターンが対で存在し、前記2つのPCから出力される位相誤差が検出すべき真のビット同期位置に対して、大きさが同一で位相誤差方向が互いに逆方向のオフセットをもつという性質から、ビット同期位置を正確に検出することができる。

【0018】

【実施例】以下、本発明のタイミング再生装置の実施例について、図面を参照しながら説明する。

【0019】図1は本発明の第1の実施例におけるタイミング再生装置の要部ブロック図であって、2値検出信号でクロック信号を再生する場合の例である。

【0020】磁気ヘッド1を介して再生されたデジタル信号は、EQ回路2でもって、2値検出を前提とした波形にイコライズされる。比較回路3では、EQ回路2から出力された信号の中心レベルに識別レベルを設け、2値データを出力する。

【0021】T/2エッジパルス発生回路4は比較回路3出力の変化点（すなわち、立ち上がり立ち下りの両エッジ）で立ち下がる、幅がほぼT/2で一定のパル

スを発生する。

【0022】次に、エッジトリガSR-FFリップフロップ（以下、SR-FFと称す）5はT/2エッジパルス発生回路4出力の前エッジでセットされ、遅延補正回路10で所定時間遅延されたVCO9出力の一方のエッジでリセットされる。演算回路6は、T/2パルス発生回路4出力とエッジトリガSR-FF5出力を入力とし、両信号の後ろエッジの位相差（時間差）に応じた信号を発生する。そして、デジタル量である演算回路6出力はチャージポンプ回路7に接続され、アナログ量に変換される。LPF8はチャージポンプ回路7出力を積分して不要成分を除去し、その出力でVCO9の発振周波数と位相を制御する。

【0023】なお、遅延補正回路10はデータのエッジ位置がT/2エッジパルス発生回路4でT/2遅延するのを補正するもので、特に、IC化に際し、T/2エッジパルス発生回路4と遅延補正回路10の遅延特性を同じにすると、遅延特性のばらつき、温度特性は完全に補償される。さらに、遅延補償回路10の遅延時間を調整することにより、データとクロックのタイミングを完全に一致させることができる。

【0024】その結果、出力端子11から出力されるデータにタイミングが一致したクロックが出力端子12から出力される。

【0025】図2は第1の実施例におけるタイミング再生装置の動作タイミングを示す波形図である。

【0026】図2において、(a)はEQ回路2から出力された2値アイパターンであり、(b)は比較回路3から出力されるデータ、(c)はT/2エッジパルス検出回路4の出力、(d)は遅延補正回路10で遅延したVCO9の出力、(e)はエッジトリガRS-FF5の出力、(f)、(g)は演算回路6出力であって、エッジトリガRS-FF5出力の後ろエッジがT/2エッジパルス検出回路4出力の後ろエッジより後ろにあるとき(f)に出力が発生し、エッジトリガRS-FF5出力の後ろエッジがT/2エッジパルス検出回路4出力の後ろエッジより前にあるとき(g)に出力が発生する。

【0027】図3はエッジトリガSR-FF5と演算回路6の具体回路例を示すもので、エッジトリガSR-FF5は、遅延インバータ（必要に応じて容量を有する）と、NANDによるエッジ検出回路と、2つのNANDによるSR-FFとで構成でき、演算回路6は基本的には一方の極性を反転させるインバータとAND回路で構成できる。

【0028】ただし、エッジトリガSR-FF5によるT/2エッジパルスの前エッジの遅れにより、演算回路6の一方の出力に不要な出力が現われるので、これを除去するため、遅延インバータでT/2エッジパルスの前エッジを遅らせている。

【0029】ここで、演算回路6のAND回路はSR-

FF出力の後ろエッジがエッジパルス発生回路出力の後ろエッジより後ろにあるときのみ両入力がHigh、HighとなってHighを出力(f出力)し、NOR回路はSR-FF出力の後ろエッジがエッジパルス発生回路出力の後ろエッジより前にあるときのみ両入力がHigh、HighとなってHighを出力(g出力)する。

【0030】図4は本発明の第2の実施例におけるタイミング再生装置の要部ブロック図であって、3値検出信号でクロック信号を再生する場合の例である。

【0031】磁気ヘッド1を介して再生されたデジタル信号は、EQ回路2でもって、3値検出、即ち、PR(1, 0, -1)検出を前提とした波形にイコライズされる。比較A回路13、比較B回路23では、EQ回路2から出力された信号の中心レベルから上側と下側に識別レベルを設け、それぞれ識別を行い、2つの2値データを出力する。

【0032】同一構成のT/2エッジパルス検出回路14、24は、比較A回路13、比較B回路23出力の変化点（すなわち、立ち上がりと立ち下がり両エッジ）で立ち下がる、幅がほぼT/2のパルスを発生する。

【0033】次に、エッジトリガSR-FF15、25はT/2エッジパルス発生回路14、24出力の前エッジでそれぞれセットされ、遅延補正回路10で所定時間遅延されたVCO9出力の一方のエッジでリセットされる。演算回路16、26は、T/2エッジパルス発生回路14、24出力とエッジトリガSR-FF15、25出力を入力とし、両信号の後ろエッジの位相差（時間差）に応じた信号を発生する。そして、デジタル量である演算回路16、26出力はチャージポンプ回路17、27に接続され、アナログ量に変換され、加算回路18でアナログ的に加算される。LPF8は加算回路18出力を積分して不要成分を除去し、その出力でVCO9の発振周波数と位相を制御する。

【0034】なお、T/2エッジパルス発生回路14、24の遅延特性に合わせて遅延補正回路10で遅延特性が補償されるのは図1の場合と同様である。

【0035】その結果、データ検出回路19を介して出力端子11から出力されるデータにタイミングが一致したクロックが出力端子12から出力される。

【0036】図5は第2の実施例におけるタイミング再生装置の動作タイミングを示す波形図である。

【0037】図5において、(a)はEQ回路2から出力された3値アイパターンであり、(b1)、(b2)は比較A回路13、比較B回路23から出力されるデータ、(c1)、(c2)はT/2エッジパルス検出回路14、24の出力、(d)は遅延補正回路10で遅延したVCO9の出力、(e1)、(e2)はエッジトリガRS-FF15、25の出力、(f1)、(g1)は演算回路16の出力、(f2)、(g2)は演算回路26

の出力である。

【0038】同図(a)のデータは(1, 0, -1, 1, 0, -1)を示している。3値微分信号では0を介して-1または1への変化と、-1から1、1から-1へ0を介さない変化が存在する。0を介さない変化の場合、比較A回路13と比較B回路23で検出されたエッジの間隔が $T/2$ 以下となる。このため、 $T/2$ エッジパルスが同一時間内に重なる。また、条件によっては(f1)、(f2)および(g1)、(g2)が同時に出力される。この問題を解決するため、 $T/2$ エッジパルス発生回路、エッジトリガSR-FF、演算回路を2組設けて、得られた出力をアナログ的に加算することで解決している。

【0039】同図は正確に位相同期した状態を示し、(f1+f2)と(g1+g2)の出力の平均値は等しく、チャージポンプ回路とLPFで平均化すると、誤差信号は零となり、安定状態にあることがわかる。

【0040】よって、本発明のタイミング再生装置によれば、正確な位相誤差が常に得られる。

【0041】図6は本発明の第3の実施例におけるタイミング再生装置の要部ブロック図であって、I-NRZIに対し、データとクロック位相を正確に一致させることのできる構成例である。

【0042】図6において、31、32は $T/2$ 時間の遅延量を有するアナログ遅延回路である。ここで、 $T/2$ エッジパルスの発生はアナログ遅延回路31の入出力に対し比較A回路33、34、比較B回路35、36を設け、比較A回路33、34出力をEX-ORするEX-OR回路37、比較B回路35、36出力をEX-ORするEX-OR回路38で行う。

【0043】ところで、I-NRZIの場合、データ検出はEQ回路出力とそれをT時間遅延した信号を加算して行う必要がある。加算回路39はEQ回路2出力と遅延回路31、32でT時間遅延した信号を加算し、比較A、B回路40、41で3値検出し、EX-OR回路42で2値データに変換して出力端子12から出力する。

【0044】この場合、EQ回路2出力に対し、データ及び $T/2$ エッジパルスはそれぞれ $T/2$ 時間遅れているので、タイミングは一致し、補正の必要はない。

【0045】

【発明の効果】以上述べてきたように、本発明のタイミング再生装置によれば、再生データ信号の形態が2値検出、3値検出、または微分検出、積分検出を問わず、さらにデータパターンに関わらず、信号エッジと最も近い

クロックエッジ間の時間差に応じた正確な位相誤差信号が得られ、安定なクロックを発生することができる。また、IC化にも適し、位相比較部はほぼすべてICに内蔵できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例におけるタイミング再生装置の構成を示す要部ブロック図

【図2】同第1の実施例におけるタイミング再生装置の動作タイミングを示す波形図

【図3】同第1の実施例における $T/2$ エッジパルス発生回路と演算回路の内部構成を示すブロック図

【図4】本発明の第2の実施例におけるタイミング再生装置の構成を示す要部ブロック図

【図5】同第2の実施例におけるタイミング再生装置の動作タイミングを示す波形図

【図6】本発明の第3の実施例におけるタイミング再生装置の構成を示す要部ブロック図

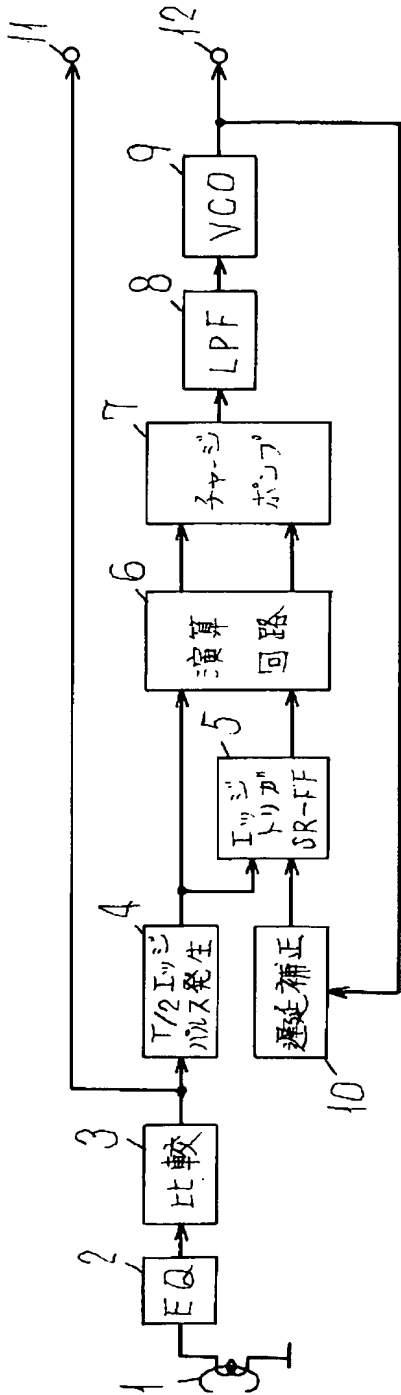
【図7】従来のタイミング再生装置の一例の構成を示す要部ブロック図

【図8】従来のエッジ比較方式の位相比較器の例を示す回路図

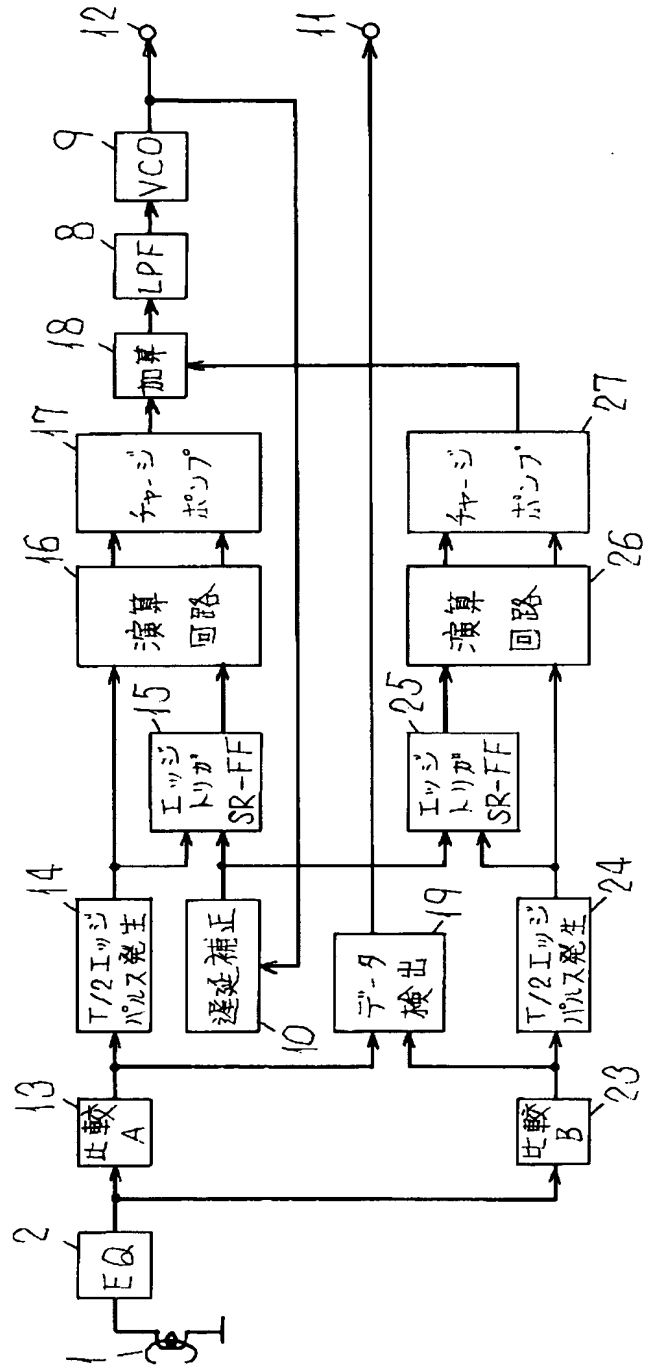
【符号の説明】

- 1 磁気ヘッド
- 2 EQ回路
- 3 比較回路
- 4, 14, 24 $T/2$ エッジパルス発生回路
- 5, 15, 25 エッジトリガSR-FF回路
- 6, 16, 26 演算回路
- 7, 17, 27 チャージポンプ回路
- 8 LPF
- 9 VCO
- 10 遅延回路
- 11 クロックの出力端子
- 12 データの出力端子
- 13, 33, 34, 40 比較A回路
- 18, 39 加算回路
- 19 データ検出回路
- 23, 35, 36, 41 比較B回路
- 31, 32 アナログ遅延回路
- 37, 38, 42, 43 EX-OR回路
- 44 タイミング再生装置
- 45 タンク回路
- 46 乗算回路

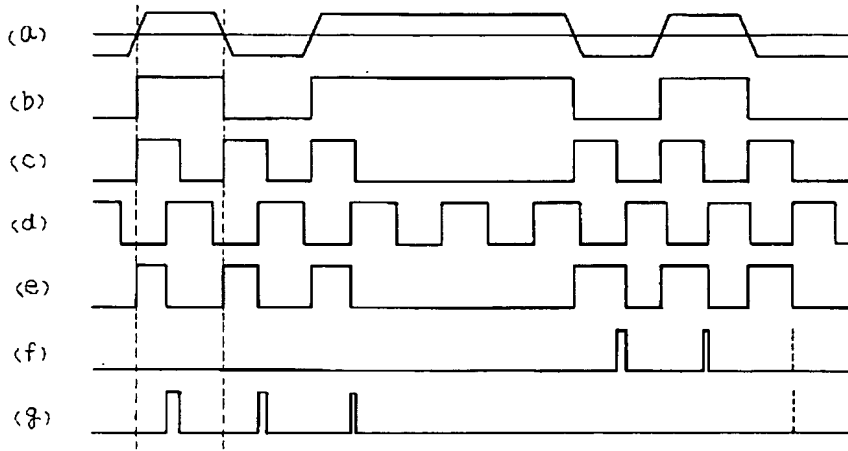
【図1】



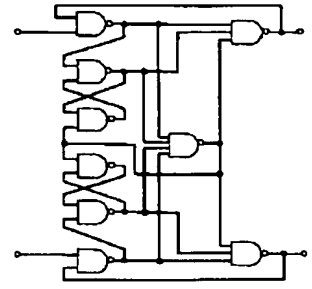
【図4】



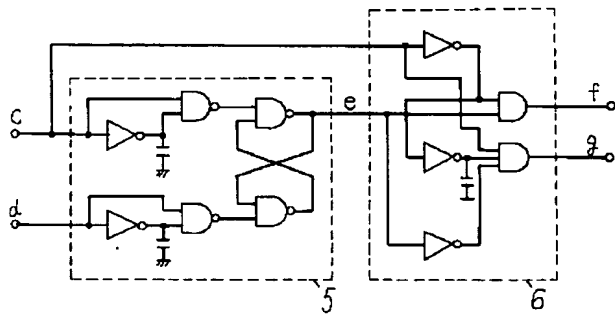
【图2】



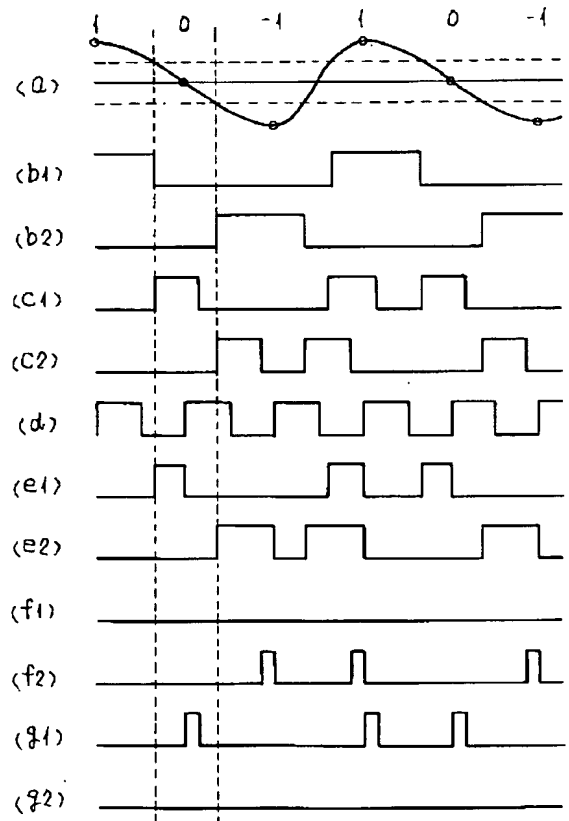
【图8】



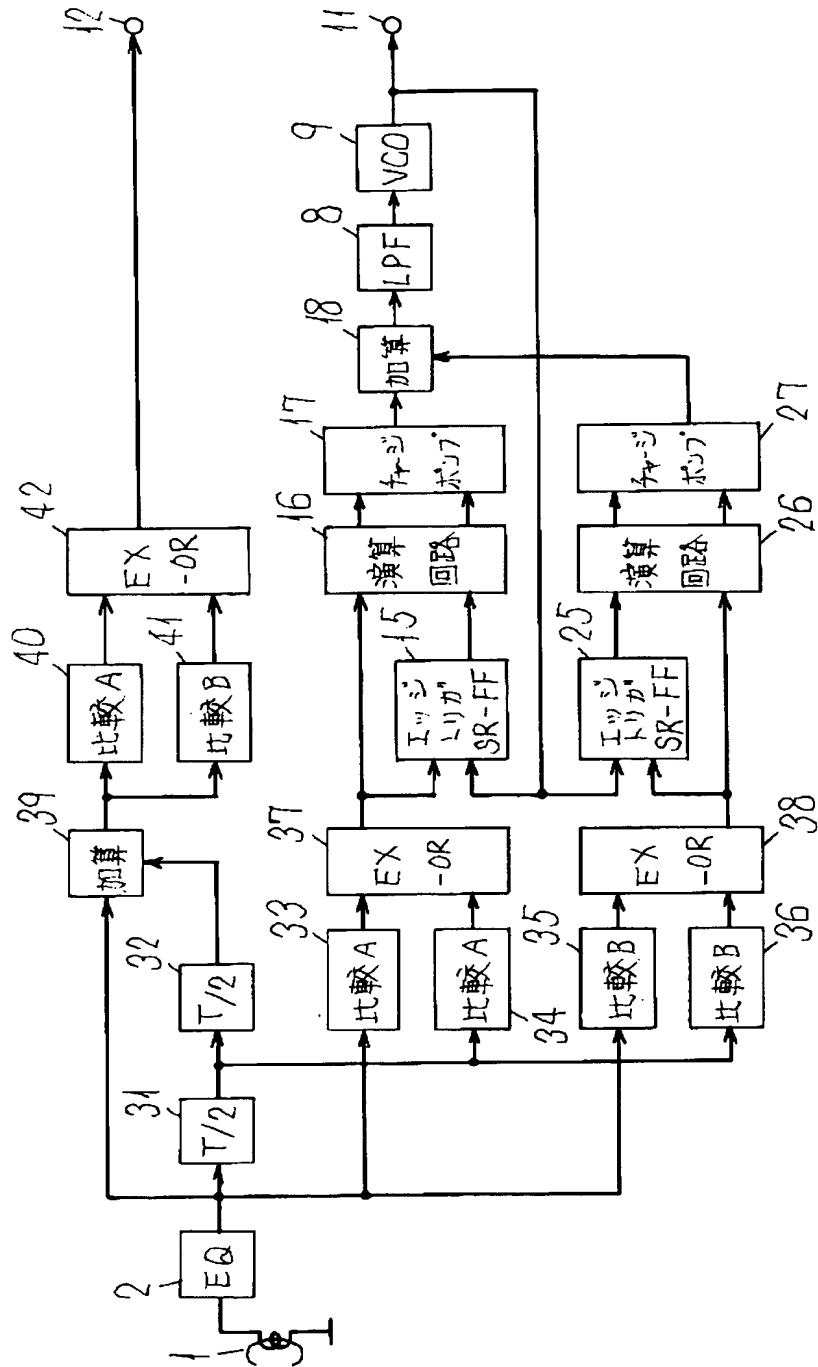
【图3】



【图5】



【図6】



【図7】

